

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

p.1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-13397

(P2000-13397A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 4 L 12/28

H 0 4 L 11/20

G 5 K 0 3 0

H 0 4 Q 3/00

H 0 4 Q 3/00

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21) 出願番号

特願平10-178894

(22) 出願日

平成10年6月25日 (1998.6.25)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(72) 発明者 朝永 博

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100090011

弁理士 茂泉 修司

最終頁に続く

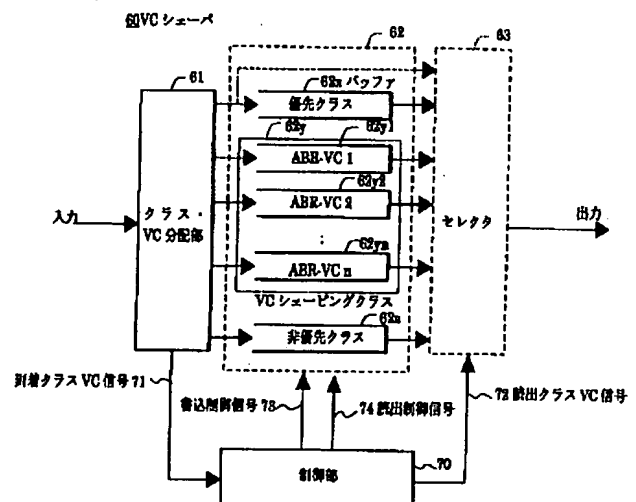
(54) 【発明の名称】 ATM交換装置

(57) 【要約】

【課題】 VCシェーパ60を有しVS/VD制御を行うATM交換装置に関し、該VCシェーパ60がシェーピングを必要とするVCのみに対してVCシェーピングを行う。

【解決手段】 クラスVC分配部61が入力セルを判別して優先クラスのセルを直接出力するか又は対応するバッファ62xに分配し、それ以外のVCシェーピングクラス及び非優先クラスのセルは対応した各バッファ62y、62zに分配しておき、該制御部70が、該優先クラス、該VCシェーピングクラス、及び該非優先クラスの順に優先的にセルを出力する。

本発明の原理説明図



【特許請求の範囲】

【請求項１】仮想コネクションシェーパを有しVS/V D制御を行うATM交換装置において、
該シェーパがクラスVC分配部、バッファ、及び制御部で構成され、
該バッファが、優先クラスのバッファ、該優先クラスを除く仮想コネクション・シェーピングクラスのバッファ、及び非優先クラスのバッファで構成され、
該クラスVC分配部が、入力セルを判別して該優先クラス、該仮想コネクション・シェーピングクラス、及び該非優先クラスの各バッファに分配して書き込み、
該制御部が、該優先クラス、該仮想コネクション・シェーピングクラス、及び該非優先クラスの順に優先的に各バッファからセルを読み出すことを特徴としたATM交換装置。

【請求項２】仮想コネクションシェーパを有しVS/V D制御を行うATM交換装置において、
該シェーパがクラスVC分配部、バッファ、セクタ、及び制御部で構成され、
該バッファが、優先クラスを除く仮想コネクション・シェーピングクラスのバッファ、及び非優先クラスのバッファで構成され、
該クラスVC分配部が、入力セルを判別して優先クラスのセルを該セクタに出力し、該仮想コネクション・シェーピングクラス及び該非優先クラスの各バッファに分配して書き込み、
該セクタが、該制御部の制御下で、該優先クラスのセルを最優先で出力するとともに、該仮想コネクション・シェーピングクラス及び非優先クラスの順に優先的に各バッファからセルを読み出すことを特徴としたATM交換装置。

【請求項３】請求項１又は２において、
該バッファとして、各クラスのバッファに共通のバッファを用いることを特徴としたATM交換装置。

【請求項４】請求項２において、
各クラスのバッファがFIFOバッファであることを特徴としたATM交換装置。

【請求項５】請求項１又は２において、
該制御部が、各クラスに対応した廃棄閾値を有し、セル該廃棄閾値を越えて各バッファに入力されるセルを廃棄することを特徴としたATM交換装置。

【請求項６】請求項１又は２において、
該クラスVC分配部が、各セルのコネクションに対応したクラスが予め設定されたコネクション設定テーブルを有し、該テーブルに基づいて各セルを分配することを特徴としたATM交換装置。

【請求項７】請求項１又は２において、
該クラスVC分配部が、各入力セルのヘッダに含まれるコネクション情報に基づいて各セルを分配することを特徴としたATM交換装置。

【請求項８】請求項１又は２において、
該優先クラスの品質クラスがDBRであることを特徴としたATM交換装置。

【請求項９】請求項１又は２において、
該仮想コネクション・シェーピングクラスの品質クラスがABRであることを特徴としたATM交換装置。

【請求項１０】請求項１又は２において、
該非優先クラスの品質クラスがUBRであり、該非優先クラスのバッファが複数であることを特徴としたATM交換装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明はATM交換装置に関し、特に仮想コネクションシェーパを有しVS/VD (Virtual Source/Virtual Destination: 仮想送信端末/受信端末)制御を行うATM交換装置に関するものである。

【０００２】ATM通信網は、音声から動画までのマルチメディア通信のプラットフォームとして有望な通信網である。このATM通信の最も大きな特徴の一つは音声や動画などのリアルタイムサービスに対してその通信の品質を保証することが可能なことである。ATM通信網は各コネクションの品質を保証するとともに効率的にデータ通信を行うためにリソース管理を行っている。このリソース管理をより効率的に行うためには、ATMノードにVS/VDを設けてデータ通信速度の制御を行うことが有効である。

【０００３】

【従来の技術】図８は、一般的なATM通信網の構成例を示しており、送信端末20a及び受信端末20bがATM交換装置10a~10cを介して接続されている。同図(1)は、VS/VDがいずれのATM交換装置10a~10cにも設定されていない場合を示しており、送信端末20a-受信端末20b間のループLP1に、リソース管理(RM: Resource Management)セル(以後、RMセルと略称する)を周期的に巡回させて、網内の輻輳状況を端末20aに通知し、データ通信速度の制御(レート制御)を行っている。

【０００４】同(2)は、ATM交換装置10b内にVS/VDを設定し、端末20a-ATM交換装置10b間のループLP2、及びATM交換装置10b-端末20b間のループLP3に互いに異なるRMセルを周期的に巡回させ網内の輻輳状況をそれぞれ端末20a及びATM交換装置10bのVSに通知してデータ通信速度を制御している。VS/VDでループLP2、3に分けることにより輻輳状況の通知は速くなるとともに各ループに輻輳状況の対応してレート制御を行うことが可能となり、輻輳制御がより有効に働き伝送路の使用効率が上がる。

【０００５】但し、VS/VDを実現するためには、A

TM交換装置10bは送信端末及び受信端末の動作を仮想的に行う必要がある。特に仮想送信端末は、仮想コネクション(VC:Virtual Connection、以後、VCと略称する)毎にセル送出レートを制御するVCシェーピング機能を有するシェーパが必要となる。

【0006】図9は、VS/VDを含むATM交換装置10bの構成例を示しており、入力回線IF30、スイッチ40及び出力回線IF50が縦続接続されている。入力回線IF30においては、F(Forward)-RMセルを受信する入力端子が、VCシェーパ60とB(Backward)-RM書換部68に接続されている。VCシェーパ60の別の入力端子はF-RMセルの挿入部(図示せず)に接続され、出力端子はスイッチ40に接続されている。

【0007】出側バッファ69の入力端子はスイッチ40に接続され、出力端子はB-RM書換部68に接続されている。B-RM書換部68の出力端子は入力側回線IF30の出力端子となっている。

【0008】出力側回線IF50において、スイッチ40の一方の出力端子が出側バッファ69とVCシェーパ60に接続され、出側バッファ69の出力端子は出力回線IF50の出力端子として出力されている。出力回線IFの一方のB-RMの入力端子が、VCシェーパ60及びB-RM抽出部(図示せず)の入力端子に接続され、VCシェーパ60の出力端子がスイッチ40に接続されている。

【0009】動作において、入側回線IF30に入力されたF-RMセルは、F-RM抽出部でデータ抽出される。その後新たにF-RM挿入部よりVCシェーパ60に挿入されたF-RMセルは、スイッチ40を介して出力回線IF50に入力される。出力回線IF50に入力したF-RMセルは、VCシェーパ60を介してB-RMセルとして出力され、スイッチ40、入力回線側30の出側バッファ69を介してB-RM書換部68に送られる。

【0010】B-RM書換部68は、受信したB-RMセルのデータを において抽出したデータに書き換えるとともに、輻輳が起きているか否かの情報の他にレートをどこまで下げる/上げるべきかのレート情報を含ませて下位のATM交換装置10aに出力する。

【0011】入側回線IF30において、F-RM挿入部は、F-RMセルをVCシェーパ60に挿入する。F-RMセルはスイッチ40及び出力回線IF50の出側バッファ69を介して上位のATM交換装置に出力される。上位のATM交換装置からB-RMセルを受信した出力回線IF50は、B-RM抽出部でB-RMセルを抽出する。

【0012】図10は、従来のVCシェーパ例を示しており、VCシェーパの入力端子に接続されたVC分配部61は、ABR(Available Bit Rate)以外のクラスの

バッファ62x及びABR-VCクラスのバッファ62y1~62ynに接続され、さらに、到着VC信号71でバッファ制御部64及びVCスケジューラ66に接続されている。

【0013】バッファ制御部64は、書込制御信号73及び読出制御信号74でバッファ62x、62y1~62ynに接続され、バッファ情報75及び読出VC信号72でVCスケジューラ66に接続されている。このVCスケジューラ66は、読出VC信号72でセクタ63に接続されている。このセクタ63は、バッファ62x、62y1~62ynに接続され、出力端子がVCシェーパの出力端子となっている。

【0014】動作において、VC分配部61は、入力したセルをABR以外のクラスのセルをバッファ62xに分配し、ABR-VC1、…、ABR-VCnのクラスのセルをバッファ62y1、…、62ynに分配する。

【0015】また、入力したセルを到着VC信号71でバッファ制御部64及びVCスケジューラ66に通知する。バッファ制御部64は、書込制御信号73により、入力したセルに対応するバッファに書き込む。

【0016】VCスケジューラ66は、品質クラスに対応した割合で利用帯域を設定する。そして、VCスケジューラ66は、利用帯域とバッファ制御部64からのバッファ情報75に基づいて、セルを読み出すVCに対応した例えばバッファ62y1を指定する読出VC信号72をバッファ制御部64及びセクタ63に送信する。

【0017】バッファ制御部64は、バッファ62y1に対して読出制御信号74を送る。この読出制御信号74を受信したバッファ62y1はセルを出力する。一方、セクタ63は、バッファ62y1を選択して該セルを出力する。

【0018】

【発明が解決しようとする課題】このような従来のVS/VD機能を持つATM交換装置においては、全てのセルに対するVCシェーピング機能を果たすためにバッファを必要とするため、VCシェーピングを行う必要のない品質クラスの扱いが問題となる。

【0019】すなわち、図10に示したABR以外のクラスのバッファ62xを、例えば遅延品質を保証する必要があるDBR(Deterministic Bit Rate)のVCに使用した場合、バッファ62xは遅延要因となり品質の保証が難しくなるといった問題があった。

【0020】また、バッファ62xを、UBR(Unspecified Bit Rate)のVCに使用した場合、本来、未使用帯域を使用するUBRに対して帯域を固定的に割り付けることとなり、例えばABRが使用することが可能な未使用帯域を狭めるという問題がある。

【0021】従って本発明は、VCシェーパを有しVS/VD制御を行うATM交換装置において、該VCシェーパがシェーピングを必要とするVCのみに対してVC

シェーピングを行うことを課題とする。

【0022】

【課題を解決するための手段】上記の課題を解決するため、本発明に係るATM交換装置が有するVCシェーパ60は、図1の原理説明図に示す如く、クラスVC分配部61と、優先クラスのバッファ62x、VCシェーピングクラスのバッファ62y1～yn、及び非優先クラスのバッファ62zで構成されたバッファ62と、制御部70と、で構成されていることを特徴とする。

【0023】すなわち、クラスVC分配部61が、入力セルを判別して優先クラス、VCシェーピングクラス、及び非優先クラスのセルを対応した各バッファ62x、62y1～yn、及び62zに分配するとともに、制御部70に到着クラスVC信号71を送出する。

【0024】制御部70は、到着クラスVC信号71に基づいて入力セルに対応するバッファに対して書込制御信号73を送る。さらに、制御部70は、読出制御信号74及び読出クラスVC信号72を送出して、バッファ62x、バッファ62y1～yn、及びバッファ62zの順に優先的にセルを読み出して出力する。

【0025】この結果、遅延品質を保証する必要がある例えばDBRに設定されたVCのセルを優先クラスのバッファ62xに收容し、シェーピングを必要とする例えばABRに設定されたVCのセルをVCシェーピングクラスのバッファ62y1～ynに收容し、例えばUBRに設定されたVCのセルを非優先クラスのバッファ62zに收容することにより、DBRのセルに対して最も少ない遅延で転送することにより遅延品質を保証し、UBRのセルに対して固定的な帯域を割り付けることなく、ABRのセルのシェーピングを行うことが可能となる。

【0026】また、同図に示す如く、本発明におけるVCシェーパ60は、出力端子とバッファ62y1～yn、62z間にセクタ63を有し、優先クラスのセルをバッファ62xを介せずにクラスVC分配部61からセクタ63に送出することも可能である。

【0027】すなわち、クラスVC分配部61が、入力セルを判別して優先クラスのセルをセクタ63に直接出力し（図中の破線矢印）、VCシェーピングクラス及び非優先クラスのセルを対応した各バッファに分配して書き込む。

【0028】セクタ63は、制御部70からの読出クラスVC信号72で、優先クラスのバッファ62xからセルを最優先で選択して読み出し、該VCシェーピングクラス及び非優先クラスの順に優先的に各バッファからセルを読み出し選択して出力する。

【0029】この結果、ABRに設定されたセルのVCシェーピングを行いながら、DBRに設定されたセルをバッファを介せずに転送することにより、遅延に対して厳しいセルの遅延品質を容易に保証することが可能となる。

【0030】また、同図に示す如く、本発明における優先クラスのバッファ62x、VCシェーピングクラスのバッファ62y1～yn、及び非優先クラスのバッファ62zを共通のバッファ62で構成してもよい。

【0031】この結果、制御部70は、バッファ62のみのアドレス管理を行うことにより各バッファの共通制御を行うことが可能となるとともに、読出制御信号74により出力セルを選択することが可能となる。従って、セクタ63は必要としない。

【0032】また、本発明における各クラスのバッファをFIFOバッファで構成してもよい。この結果、各バッファのアドレス管理が容易になり、選択されたクラスVCに対応するFIFOの先頭からセルを読み出すだけでよい。

【0033】また、本発明における制御部70は、各クラス対応したセル廃棄閾値を有し、各クラスのバッファに格納されたセル数と該セル廃棄閾値を比較して廃棄閾値を越えている場合は、入力セルをバッファに書き込まないことにより廃棄することもできる。

【0034】この結果、セルの輻輳が発生した場合、セルを選択的に廃棄することも可能となる。（さらに、同じクラスに複数の閾値を設定し、CLP(Cell Loss Priority)を用いた選択セル廃棄を行ってもよい。）

【0035】また、本発明におけるクラスVC分配部61は、各セルのコネクションに対応したクラスが予め設定されたコネクション設定テーブル（図示せず）を有し、このテーブルに基づいて入力セルを各クラスのバッファに分配することができる。

【0036】また、本発明におけるクラスVC分配部61は、入力セルのヘッダに含まれるコネクション情報である例えばクラスVCバッファ番号に基づいて各入力セルを対応するクラスのバッファに分配することもできる。

【0037】また、上述した如く、本発明におけるVCシェーパ60は、優先クラスの品質クラスをDBRとしてもよい。また、上述した如く、本発明におけるVCシェーパ60は、VCシェーピングクラスの品質クラスをABRとしてもよい。さらに、本発明におけるVCシェーパ60は、非優先クラスの品質クラスをUBRとし、該非優先クラスのバッファ62zを複数の例えばバッファ62z1～62zi（図示せず）とすることもできる。この結果、UBRのVCにさらに優先度を付けることが可能となる。

【0038】

【発明の実施の形態】図2は、本発明に係るATM交換装置におけるVCシェーパ60の実施例（1）を示している。この例においては、クラスVC分配部61が、コネクション番号信号80及びクラスVCバッファ番号信号81によりコネクション設定テーブル67と相互に接続され、到着クラスVC番号信号71によりバッファ制

御部64に接続され、さらに共通バッファ62に接続されている。

【0039】共通バッファ62は、優先クラスのバッファ62xと、ABR-VC1~nのバッファ62y1~nを含むVCシェーピングクラスのバッファ62yと、非優先クラスのバッファ62zとを含み、出力端子がVCシェーパ60の出力端子となっている。

【0040】バッファ制御部64において、クラスVC分配部61に接続された閾値比較部64bは、書込クラスVC信号77及びバッファ長信号78により相互にバッファ長カウンタ64cと接続されている。閾値比較部64bは、さらに書込クラスVC信号77により共通バッファアドレス管理部64a及びVCスケジューラ66に接続され、アドレス管理部64aは、共通バッファ62に書込制御信号73及び読出制御信号74で接続されている。バッファ長カウンタ64cは、バッファ長信号78で優先制御部65及びVCスケジューラ66に接続されている。

【0041】優先制御部65は読出クラスVC番号信号72によりバッファ長カウンタ64c及びVCスケジューラ66に接続され、このVCスケジューラ66は読出要求VC信号76により優先制御部65と接続されている。

【0042】図3は、図2に示した実施例(1)における動作例(その1)を示しており、この例では、特に各クラスのバッファに入力セルを格納する動作を示している。クラスVC分配部61は、入力したセルのVC番号をコネクション番号信号80によりコネクション設定テーブル67に送り、例えばVCシェーピングクラスのバッファ62y1のバッファ番号を含んだクラスVCバッファ番号信号81を得る。そして、クラスVC分配部61は、取得したバッファ番号を到着クラスVC番号信号71に含ませて閾値比較部64bに送る(図3のステップS10)。

【0043】閾値比較部64bは、受信したバッファ番号のバッファ62y1に現在格納されたセル数をバッファ長カウンタ64cのバッファ長信号78に基づいて判断する。そして、閾値比較部64bは、セル数と予め設定されたセル廃棄閾値とを比較する(同S11)。格納セル数>閾値である場合、閾値比較部64bは、書込クラスVC信号77をアドレス管理部64aに送信しない。この結果、入力セルはバッファ62y1に書き込まれず廃棄される(同S12)。

【0044】一方、格納セル数≤閾値である場合、閾値比較部64bは、書込クラスVC信号77をアドレス管理部64a及びバッファ長カウンタ64cに送信する。アドレス管理部64aは、バッファ62y1に書込制御信号73を送り、バッファ62y1はクラスVC分配部61からのセルを格納する(同S13、14)。アドレス長カウンタ64cは、バッファ62y1に対応したカ

ウンタをインクリメントする(同S15)。

【0045】さらに、閾値比較部64bは、バッファ番号がVCシェーピングクラスのバッファ62y1を示すので(同S16)、書込クラスVC番号信号79をVCスケジューラ66に送信する。VCスケジューラ66は、信号79を受信し、該セルの読出のシェーピングスケジュールを行う(同S17)。

【0046】図4は、図2に示した実施例(1)における動作例(その2)を示しており、この例では、特に各クラスのバッファに記憶されたセルを読み出す動作を示している。VCスケジューラ66は、現在の時刻にVCシェーピングクラスのバッファ62y1~nに読み出すべきセルが有るか否かを判別し(図4のステップS20)、セルが有る場合、読み出すべきバッファの番号(又はVC番号)である例えばバッファ62y1の番号を含んだ読出要求VC信号76により優先制御部65に読出要求を行う。

【0047】優先制御部65は、バッファ長カウンタ64cに含まれる優先クラスのバッファ長カウンタを参照して優先クラスのセルが有るか否かを判別し(同S22)、有る場合、現時点で読出可能なセルを次の時刻まで待機させ(同S23)、優先クラスを選択し(同S24)、アドレス管理部64a及びバッファ長カウンタ64cにバッファ62xのバッファ番号を含んだ読出クラスVC番号信号72を送出する。

【0048】アドレス管理部64aは、バッファ62xのアドレスを指定する読出制御信号74をバッファ62に送出し、該アドレスに対応するバッファ62xは、最優先のセルを出力し(同S29、S30)、バッファ長カウンタ64cに含まれるバッファ62xのカウントはデクリメントされ(同S31)、動作を終了する。

【0049】一方、ステップS22において、優先クラスのセルが無い場合、VCシェーピングクラスを選択し(同S25)、VCシェーピングクラスに関するステップS29~31の動作が実行され動作を終了する。

【0050】ステップS20において、VCシェーピングクラスのセルが無い場合、優先制御部65は、優先クラスにセルが有るか否かを判定し(同S26)、有る場合にはステップS24に進む。当該セルが無い場合は非優先クラスのバッファ62zにセルが有るか否かを判定し(同S27)、無い場合は動作を終了し、有る場合は非優先クラスを選択する(同S28)。以下、非選択クラスに関するステップS29~S31の動作が実行される。

【0051】この結果、VCシェーパ60は、優先クラスのセルを転送遅れが最も少ない状態で送出し、ABRであり得るVCシェーピングクラスに設定されたVCのセルを空いている帯域を使用して、スケジュールに従ったシェーピングを行って送出し、非優先クラスのセルを利用帯域が空いているとき送出することになる。

【0052】図5は、本発明におけるVCシェーパ60の実施例(2)を示しており、この例を図2に示した実施例(1)と比較すると、下記の点が異なっている。

【0053】優先クラスのバッファ62x及びコネクション設定テーブル67が無く、セクタ63が追加されており、このセクタ63にクラスVC分配部61から優先クラスのセルが直接接続され、非優先クラスのバッファ62zが複数のバッファ62z1、62z2となり、各クラスのバッファ62y1～n及び62z1、62z2がFIFO型のバッファとなっている。

【0054】さらに、バッファ制御部64には、アドレス管理部64a、閾値比較部64b、及びバッファ長カウンタ64cが含まれていない。また、クラスVC分配部61が、到着クラスVC番号信号71の代わり到着クラスVC信号によりバッファ制御部64及びVCスケジューラ66に接続され、バッファ制御部64が、優先制御部65及びVCスケジューラ66とバッファ長信号78の代わりにバッファ情報75により接続されている。

【0055】さらに、優先制御部65が、読出クラスVC番号信号72の代わりに読出クラスVC信号72によりバッファ制御部64及びVCスケジューラ66に接続され、さらに追加されたセクタ63に接続されている。さらに、バッファ制御部64の書込制御信号73及び読出制御信号74は各クラスのバッファ62y1～n、62z1及び62z2に共通に接続されている。

【0056】図6は、図5に示した本発明の実施例(2)の動作例(その1)を示しており、この例では、特に各クラスのセルを入力する動作を示している。クラスVC分配部61は、入力セルのヘッダを参照して例えばバッファ62y2のクラス及びVCバッファ番号を取得し(図6のステップS40)、到着クラスVC信号71をバッファ制御部64、優先制御部65、及びVCスケジューラ66に送り、入力セルが、優先クラスのセルであるか否かを判別する(同S41)。

【0057】優先クラスである場合は、クラスVC分配部61は、セルを直接セクタ63に送出して動作を終了するが、この例のバッファ62y2は上記のとおり優先クラスでない場合であるので、該当するクラスのバッファ62y2の入力端子に入力セルを出力する。バッファ制御部64は、バッファ62y2に空きが有るか否かを判定する(同S42)。この結果、空きが無い場合は、書込制御信号73を出力しないことにより入力セルは廃棄して動作を終了する(同S43)が、空きが有る場合は、バッファ制御部64が書込制御信号73を出力し、バッファ62y2に該セルを書き込む(同S44)。

【0058】一方、VCスケジューラ66は入力セルがVCシェーピングクラスであるか否かを判定し(同S45)、VCシェーピングクラスである場合、読出のスケジューリングを実行する(同S46)。その他のクラス

の場合、動作を終了する。

【0059】図7は、図5に示した本発明の実施例

(2)の動作例(その2)を示しており、この例では、特に各クラスのセルの読出動作を示している。到着クラスVC信号71を受信して優先制御部65は、VCスケジューラ66から読出要求VC信号76が無いことを確認し(図7のステップS50)、入力セルが優先クラスであるか否かを判別し(同S57)、優先クラスである場合、セクタ63に優先クラスを選択する指示を与え、セクタ63は優先クラスのセルを最優先で選択し出力する(同S56)。

【0060】ステップS50において、VCスケジューラ66は、現時点で読出可能なVCシェーピングクラスのセルが有る場合、優先制御部65に読出要求VC信号76により読出要求を行う。優先制御部65は、この時点で優先クラスの入力セルであるか否かを判別する(同S52)。

【0061】優先クラスの入力セルがある場合、優先制御部65は、読出クラスVC信号72により、VCスケジューラ66に現時点で読出可能なVCシェーピングクラスのセルを次の時刻まで待機するよう指示し(同S55)、セクタ63に優先セルを選択して最優先で出力するように指示する(同S56)。

【0062】ステップS52において、優先クラスの入力セルがない場合、優先制御部65は、読出クラスVC信号72により、バッファ制御部64にVCシェーピングクラスの指定された例えばバッファ62y2に読出制御信号74を送り(同S53)、セクタ63は、VCスケジューラ66のスケジュールに従ったシェーピングを行った形でバッファ62y2のセルを選択して出力する(同S54)。

【0063】ステップS57において、入力セルが優先クラスでない場合、優先制御部65は、バッファ制御部64のバッファ情報75に基づき非優先クラス1のセルが有るか否かを判別し(同S58)、有る場合、読出クラスVC信号72によりバッファ制御部64にバッファ62z1の読出を指令する読出制御信号74を送出し、セクタ63にバッファ62z1選択指令を送出する。バッファ制御部64は、読出制御信号74を送りバッファ62z1のセルが読み出され(同S59)、セクタ63は、非優先クラス1を選択して出力する(同S60)。

【0064】ステップS58において、非優先クラス1のセルが無い場合、優先制御部65は、非優先クラス2のバッファ62z2にセルが有るか否かを判別する(同S61)。この結果、該セルが有る場合、バッファ62z2よりセルを読み出し(同S62)、このセルをセクタ63が選択して出力する(同S63)。無い場合は動作を終了する。

【0065】この結果、VCシェーパ60は、優先クラ

スのセルを転送遅れがない状態で送出し、VCシェーピングクラスであるABRに設定されたVCのセルを空いている帯域を使用してスケジュールに従ったシェーピングを行って送出し、非優先クラス1、2のセルに優先順位を付加して空いている帯域を利用して送出することが可能となる。

【0066】

【発明の効果】以上説明したように、本発明に係るATM交換装置によれば、クラスVC分配部が入力セルを判別して優先クラスのセルを直接出力するか又は対応するバッファに分配し、それ以外のVCシェーピングクラス及び非優先クラスのセルは対応した各バッファに分配しておき、該制御部が、該優先クラス、該VCシェーピングクラス、及び該非優先クラスの順に優先的にセルを出力するように構成したので、遅延品質を保証する必要があるVCのセルに対して品質を保証し、或いはUBRが設定されたVCのセルに対して固定的な帯域を割り付けることなく、該VCシェーパがシェーピングを必要とするVCに対してVCシェーピングを行うことが可能となる。

【図面の簡単な説明】

【図1】本発明に係るATM交換装置の原理を説明するブロック図である。

【図2】本発明に係るATM交換装置の実施例(1)を示すブロック図である。

【図3】本発明に係るATM交換装置の実施例(1)の動作例(その1)を示すフローチャート図である。

【図4】本発明に係るATM交換装置の実施例(1)の動作例(その2)を示すフローチャート図である。

【図5】本発明に係るATM交換装置の実施例(2)を示すブロック図である。

【図6】本発明に係るATM交換装置の実施例(2)の動作例(その1)を示すフローチャート図である。

【図7】本発明に係るATM交換装置の実施例(2)の動作例(その2)を示すフローチャート図である。

【図8】一般的なATM交換装置におけるABRの収容形態例を示すブロック図である。

【図9】従来のATM交換装置におけるVS/VDの構成例を示すブロック図である。

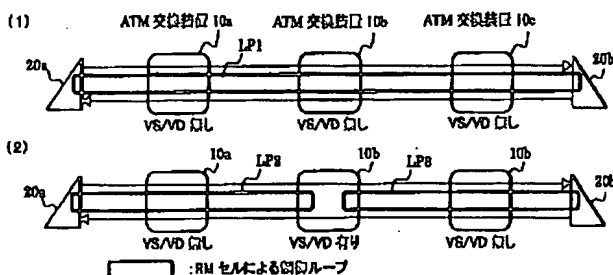
【図10】従来のATM交換装置におけるVCシェーパ構成例を示すブロック図である。

【符号の説明】

10a～c ATM交換装置； 20a, 20b 端末
30 入力回線IF； 40 スイッチ； 50 出力回線IF
60 VCシェーパ； 61 VC分配部、クラスVC分配部
62 共通バッファ； 62x 優先クラスバッファ
62y VCシェーピングクラスバッファ
62y1～n ABR-VCバッファ1～n
62z, 62z1, 62z2 非優先クラスバッファ
63 セレクタ； 64 バッファ制御部
64a 共通バッファ・アドレス管理部； 64b 閾値比較部
64c バッファ長カウンタ 65 優先制御部
66 VCスケジューラ； 67 コネクション設定テーブル
68 B-RM書換部； 69 出側バッファ
70 制御部； 71 到着VC信号、到着クラスVC信号
72 読出VC信号、読出クラスVC信号； 73 書込制御信号
74 読出制御信号； 75 バッファ情報； 76 読出要求VC信号
77 書込クラスVC信号； 78 バッファ長信号
79 書込クラスVC番号信号； 80 コネクション番号信号
81 クラスVCバッファ番号信号
図中、同一符号は同一又は相当部分を示す。

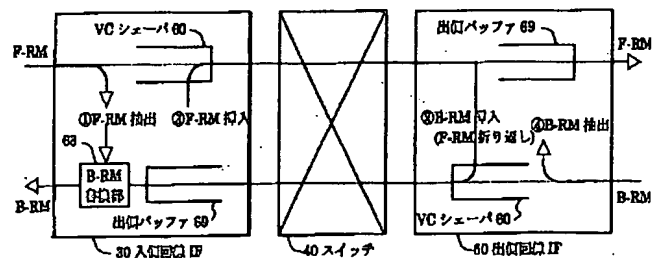
【図8】

一般的なABR収容形態例

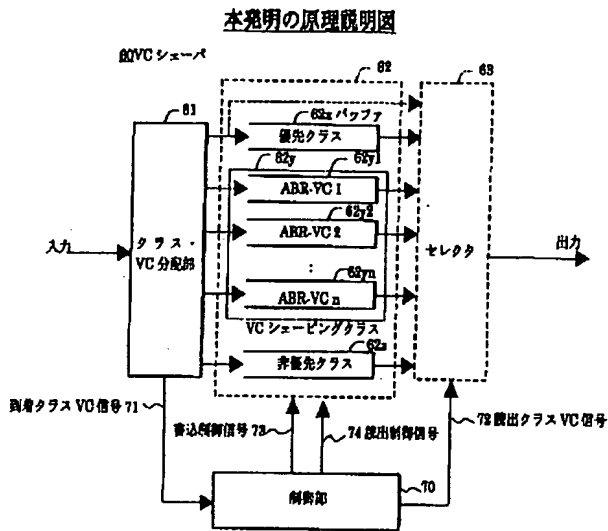


【図9】

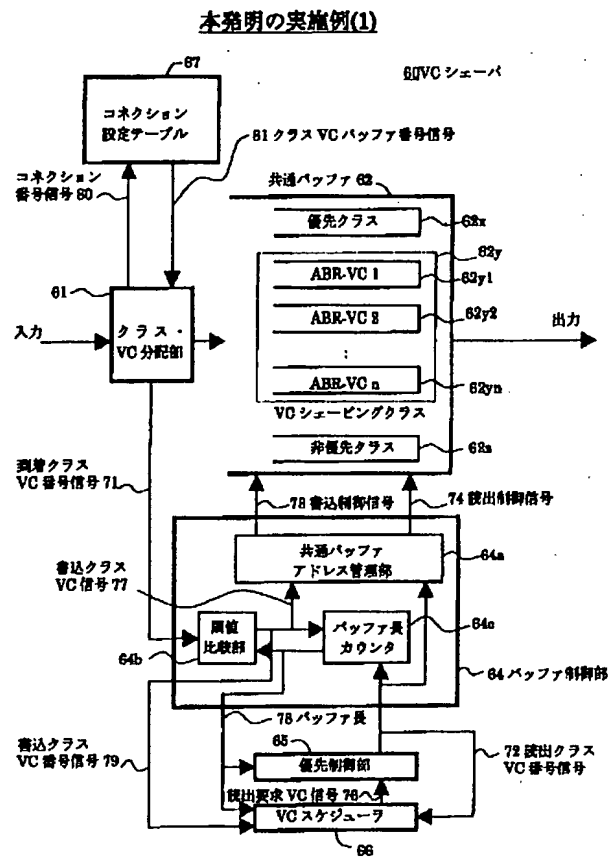
ATM交換装置におけるVS/VD構成例



【図 1】

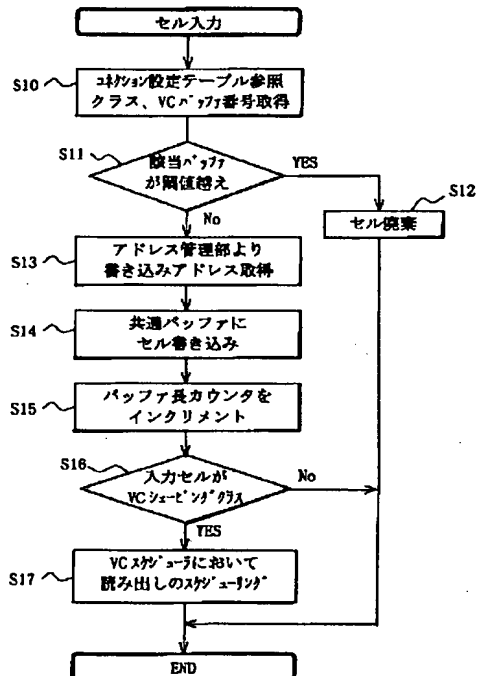


【図 2】



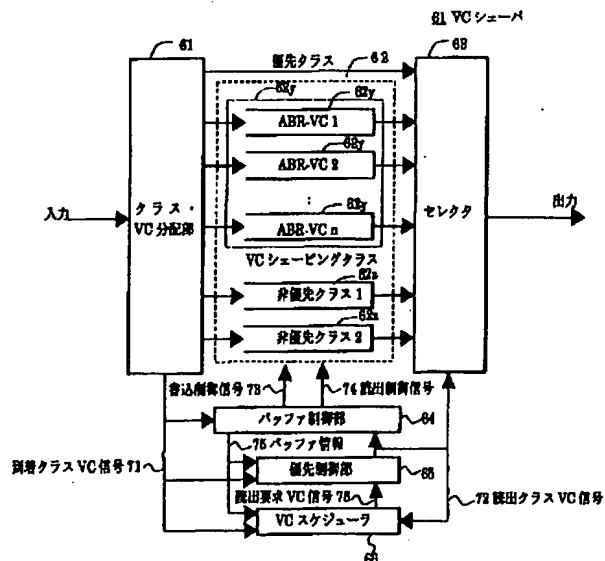
【図 3】

本発明の実施例(1)の動作手順(その 1)



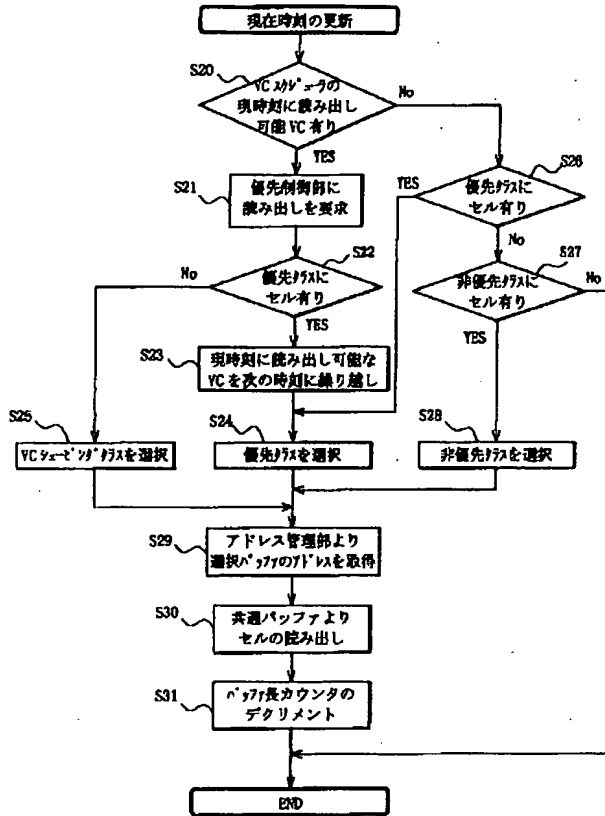
【図 5】

本発明の実施例(2)



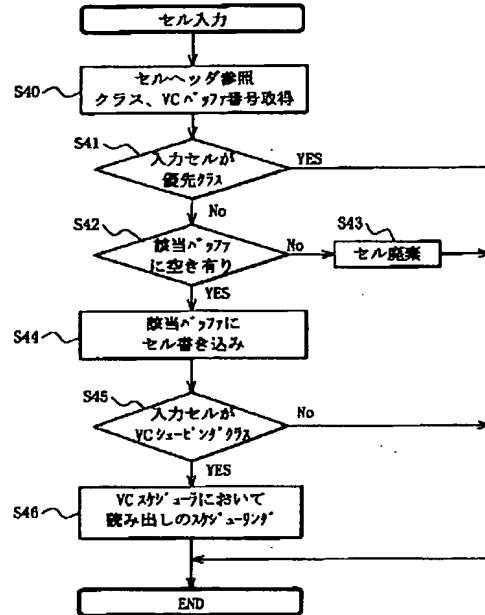
【図 4】

本発明の実施例(1)の動作手順(その2)



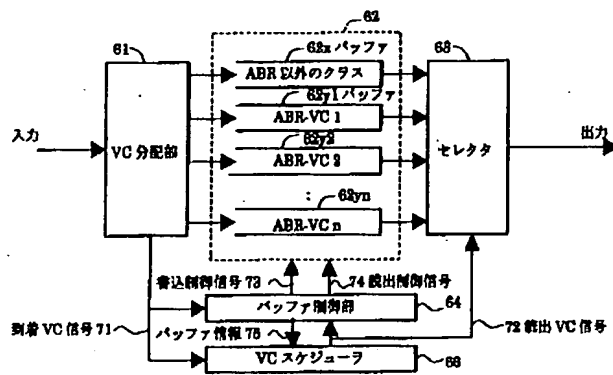
【図 6】

本発明の実施例(2)の動作手順(その1)



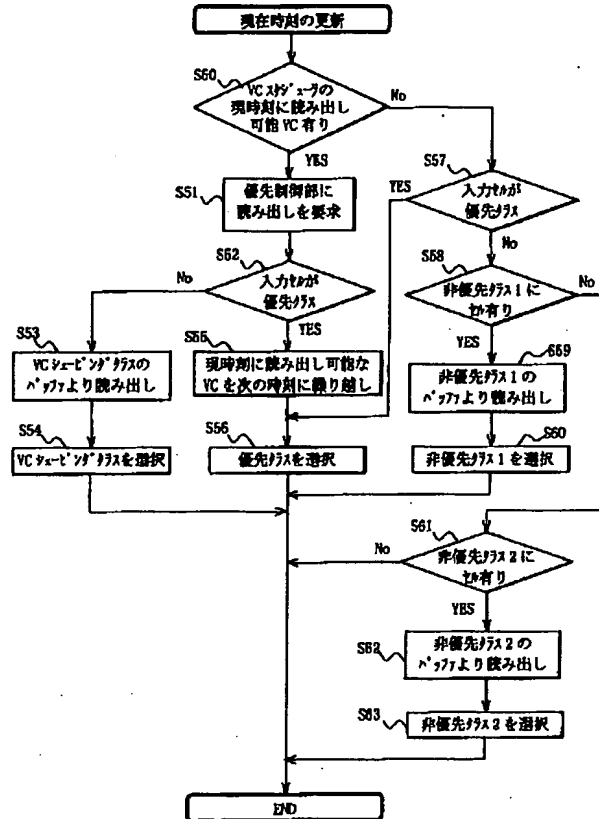
【図 10】

従来の VC シェーパ例



【図 7】

本発明の実施例(2)の動作手順(その2)



フロントページの続き

(72)発明者 松岡 直樹
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 天野 光治
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 松尾 聡
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 重谷 昌昭
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内
(72)発明者 源田 浩一
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内
(72)発明者 土井 幸浩
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

Fターム(参考) 5K030 GA08 HA10 KA03 KX02 LC02
LC18 LE05